

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-201088
 (43)Date of publication of application : 31.07.1998

(51)Int.CI. H02J 1/00
 G05F 1/613
 G06K 19/07
 H01L 27/04
 H01L 21/822
 H02J 17/00

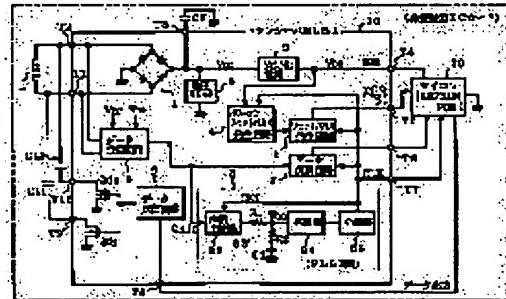
(21)Application number : 09-006166	(71)Applicant : HITACHI LTD HITACHI CHIYOU LSI SYST:KK
(22)Date of filing : 17.01.1997	(72)Inventor : KADOKAWA SHIGERU OGAWARA HIROSHI ANDO MASAAKI

(54) CONSTANT VOLTAGE POWER SUPPLY CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT AND IC CARD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a stabilized output voltage from a voltage generated through a rectifier circuit by constituting an output circuit for feeding an output current corresponding to an input voltage formed through a voltage division circuit from the power supply voltage.

SOLUTION: In a constant voltage power supply circuit 2, a reference voltage generated from a band gap reference voltage generation circuit 21 is subjected to level shifted through a level shift circuit and divided through a resistance voltage division circuit before being fed to an output circuit comprising an inverted Darlington circuit producing an output current. Current flowing through the output circuit increases as the input voltage increases and decreases as the input voltage decreases to absorb fluctuation of output voltage thus obtaining a stabilized power supply voltage. Furthermore, since the constant voltage power supply circuit includes no operational amplifier having a large gain in the feedback loop, oscillation due to fluctuation of output current is prevented even in case of low power supply filter capacity and a stabilized power supply voltage is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

[application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-201088

(43)公開日 平成10年(1998)7月31日

(51) Int.Cl.⁶
H 02 J 1/00
G 05 F 1/613
G 06 K 19/07
H 01 L 27/04
21/822

識別記号

3 0 6

3 1 0

19/07

27/04

21/822

F I

H 02 J 1/00

G 05 F 1/613

H 02 J 17/00

G 06 K 19/00

H 01 L 27/04

3 0 6 B

3 1 0

B

H

G

審査請求 未請求 請求項の数 7 O.L. (全 7 頁) 最終頁に続く

(21)出願番号 特願平9-6166

(22)出願日 平成9年(1997)1月17日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 門川 滋

東京都小平市上水本町5丁目22番1号 株式会社日立マイコンシステム内

(74)代理人 弁理士 大日方 富雄

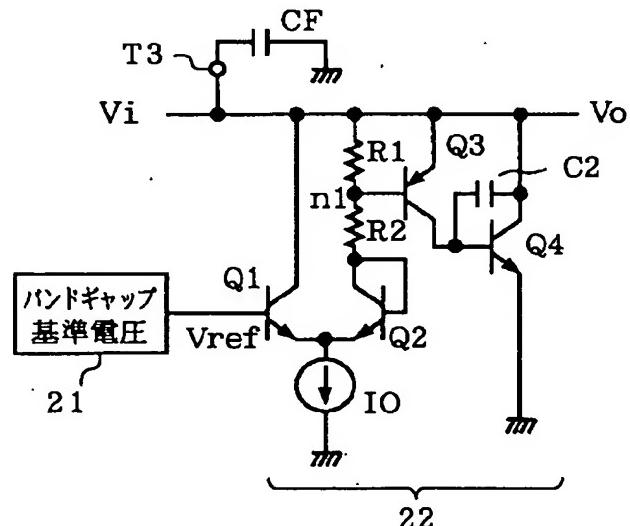
最終頁に続く

(54)【発明の名称】 定電圧電源回路および半導体集積回路並びにICカード

(57)【要約】

【課題】 電源フィルタ容量を大きくとれない場合においても、整流回路によって生成した電圧から安定した出力電圧を得ることができる定電圧電源回路が必要となつた。

【解決手段】 バンドギャップ基準電圧発生回路(21)からの基準電圧 V_{ref} をレベルシフト回路 (Q1, Q2, 10) によってレベルシフトし、その電圧を抵抗分圧回路 (R1, R2) で分割してインバーテッド・ダーリントン回路からなる出力段 (Q3, Q4, C2) に入力して出力電流を流すようにした。



【特許請求の範囲】

【請求項 1】 基準電圧をレベルシフトするレベルシフト回路と、該レベルシフト回路によりレベルシフトされた電圧と電源電圧とを分圧して所定のレベルの電圧を形成する分圧回路と、該分圧回路により形成された電圧を入力とし入力電圧に応じた出力電流を上記電源電圧より流す出力回路とにより構成されてなることを特徴とする定電圧電源回路。

【請求項 2】 上記基準電圧はバンドギャップ基準電圧発生回路で発生された電圧であることを特徴とする請求項 1 に記載の定電圧電源回路。

【請求項 3】 上記レベルシフト回路は、上記基準電圧がベースもしくはゲートに印加されコレクタもしくはドレインに入力電圧が印加された第 1 のトランジスタと、該トランジスタとエミッタもしくはソースが共通に接続されベース・コレクタ間もしくはゲート・ドレイン間が結合された第 2 のトランジスタと、上記第 1 および第 2 のトランジスタの共通エミッタもしくは共通ソースに接続され、上記第 2 のトランジスタのコレクタもしくはドレインを出力端子とするように構成されていることを特徴とする請求項 1 または 2 に記載の定電圧電源回路。

【請求項 4】 上記出力回路は、インバーテッド・ダーリントン回路により構成され、その出力側トランジスタのベース・コレクタ間に容量が接続されていることを特徴とする請求項 1、2 または 3 に記載の定電圧電源回路。

【請求項 5】 電磁結合手段が接続される外部端子と、該外部端子に接続された電磁結合手段を介して入力された交流電圧を整流して直流電圧を形成する整流回路と、該整流回路で形成された電圧から所定のレベルの電源電圧を形成する請求項 1 ~ 4 に記載の定電圧電源回路とを備えてなることを特徴とする IC カードのトランシーバ用半導体集積回路。

【請求項 6】 上記定電圧電源回路の次段に、該定電圧電源回路で形成された電源電圧を安定化させる電源安定化回路を備えてなることを特徴とする請求項 5 に記載の IC カードのトランシーバ用半導体集積回路。

【請求項 7】 1 枚のカード状基板の上に、請求項 6 に記載のトランシーバ用半導体集積回路と、該半導体集積回路に接続された電磁結合手段と、マイクロコンピュータチップとが搭載され、上記トランシーバ用半導体集積回路の定電圧電源回路もしくは電源安定化回路から上記マイクロコンピュータチップに対して電源電圧の供給が行なわれるとともに、上記マイクロコンピュータチップは上記トランシーバ用半導体集積回路を介して外部装置との間のデータの送受信を行なうように構成されてなることを特徴とする非接触型 IC カード。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、半導体集積回路に

おける定電圧電源回路に適用して有効な技術に関し、特に非接触型 IC カードに用いられるトランシーバ用半導体集積回路における定電圧電源回路を利用して有効な技術に関する。

【0 0 0 2】

【従来の技術】 非接触型 IC カードとして、コイルの相互誘導現象を利用してデータの送受信および電力の供給を受けるようにしたものが提案されている。かかる非接触型 IC カードに用いられるトランシーバ用半導体集積回路においては、電磁結合を使用してコイルを介して入力される交流信号から電源電圧および受信データ信号が生成される。このようなトランシーバ用半導体集積回路においては、コイルが接続される端子間にダイオードブリッジからなる整流回路が設けられ、この整流回路によって発生された電圧から安定な電源電圧を得るために定電圧電源回路が設けられる。

【0 0 0 3】 本発明者等は、非接触型 IC カードに用いられるトランシーバ用半導体集積回路における定電圧電源回路について検討した。

【0 0 0 4】 従来、定電圧電源回路としては、例えば図 7 (A), (B) に示すような回路があった。

【0 0 0 5】 このうち、図 7 (A) に示す回路は、オペアンプ AMP を利用してその反転入力端子に出力電圧 V_o を抵抗 R_1, R_2 で分割した電圧を帰還させるとともに、非反転入力端子に基準電圧 V_{ref} を印加して、この基準電圧を上記抵抗 R_1, R_2 の抵抗比で決まる増幅率で増幅した信号でトランジスタ Q 1 をバイアスして出力電流を流しコレクタから安定した出力電圧 V_o を得るようにしたものである。一方、図 7 (B) に示す回路は、ツェナーダイオード D z に電流を流し、これによって発生したツェナー電圧をバイポーラトランジスタ Q 1 のベースに印加してそのコレクタから安定した出力電圧 V_o を取り出すようにしたものである。

【0 0 0 6】

【発明が解決しようとする課題】 図 7 (A) の回路にあっては、オペアンプの応答性を落として電源フィルタ容量を大きくすることで安定性を確保するようになっていた。ところが、IC カードにおいては内蔵できる電源フィルタ容量の値が $0.1 \mu F$ 以下と小さく、しかも電力を供給する交流波形にデータが重畠される非接触型 IC カードの場合には電源フィルタ容量のみではデータによる電圧変化を取り除くことができない。そこで、この電圧変化をなくすためにオペアンプの応答性を高くすることも考えられるが、そのようにすると出力トランジスタからオペアンプへの帰還ループの安定性が悪くなり、回路が発振してしまったり、電源が立ち上がるときにリングングが発生して実用上問題があることが明らかになった。

【0 0 0 7】 また、IC カードに搭載されるマイクロコンピュータチップには電気的に書き込み消去可能な EEPROM

ROMが内蔵されるが、このEEPROMに書き込みを行なう際に、10mA、200nS程度の書き込みパルス電流が流れるため、電源フィルタ容量CFが小さくかつオペアンプAMPの応答性が悪いと出力電圧の変動として表れてしまうという欠点がある。

【0008】一方、図7(B)の回路にあっては、半導体集積回路のプロセスによってツェナーダイオードを半導体チップ上にバイポーラトランジスタやMOSFETと一緒に形成することが困難であるとともに、電圧を自由に設定することができないという問題点がある。

【0009】本発明の目的は、電源フィルタ容量を大きくとれない場合において、整流回路によって生成した電圧から安定した出力電圧を得ることができる定電圧電源回路を提供することにある。

【0010】本発明の他の目的は、出力電流の急激な変動に対しても安定した出力電圧を得ることができる定電圧電源回路を提供することにある。

【0011】本発明の他の目的は、半導体集積回路において温度変化や電源電圧の変動にかかわらず一定の電圧を発生することができるバンドギャップ基準電圧発生回路からの基準電圧に基づいて安定した出力電圧を得ることができる定電圧電源回路回路を提供することにある。

【0012】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0014】すなわち、本発明の定電圧電源回路は、バンドギャップ基準電圧発生回路からの基準電圧をレベルシフト回路によってレベルシフトし、その電圧を抵抗分圧回路で分割してインバーテッド・ダーリントン回路等からなる出力回路に入力して出力電流を流すようにしたものである。

【0015】上記した手段によれば、入力電圧が高くなると出力回路に流れる電流が増加し、入力電圧が低くなると出力回路に流れる電流が減少して出力電圧の変動を吸収するので安定した電源電圧が得られる。しかも、上記定電圧電源回路は帰還ループに利得の大きなオペアンプが存在しないため、小さな電源フィルタ容量であっても出力電流の変動によって発振することがなく安定した電源電圧が得られる。

【0016】また、上記出力回路をインバーテッド・ダーリントン回路で構成しその出力側トランジスタのベース・コレクタ間に容量を接続することによって、出力電流が急激に変化して電源電圧が変動しても上記トランジスタのベースに同相帰還して電源電圧の変動を打ち消すように出力電流を補償させ、安定した出力電圧を得ることができる。

【0017】

【発明の実施の形態】以下、本発明の実施例について図面を用いて説明する。

【0018】図1は本発明に係る定電圧電源回路を備えた非接触型ICカードに用いられるトランシーバ用IC10の構成およびこれを搭載したICカード全体の概略構成を示すブロック図である。

【0019】この実施例のトランシーバ用ICを搭載したICカードは、例えばプリント配線層により渦巻き状

10 に形成されたコイルLと、該コイルLの両端子に接続されデータの送受信および電源電圧の生成を行なうトランシーバ用IC10と、該トランシーバ用IC10に接続されデータの処理、記憶および送信データの形成を行なうマイクロコンピュータチップ20と、上記トランシーバ用IC10に接続された外付けのコンデンサCF、Ct1、Ct2等により構成されている。図には1つの渦巻きパターンからなるコイルが示されているが、外部のリード・ライト装置のヘッドの構成に応じて同様の渦巻きパターンを2つ有するコイルとされる場合もある。

20 【0020】上記マイクロコンピュータチップ20は記憶装置として電気的に書き込み・消去が可能なEEPROMを内蔵しており、ICカードがリード・ライト装置から排出されて電源の供給を受けない状態においてもデータを保持できるように構成されている。

【0021】特に制限されないが、トランシーバ用IC10内の各ブロックを構成する回路素子は、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。

30 【0022】1はトランシーバ用IC10の外部端子T1、T2に接続(外付け)された電磁結合手段としてのコイルにより入力された交流信号を整流して直流電源電圧を生成するダイオードブリッジからなる整流回路で、この整流回路1の出力ノードは外部端子T3に接続され、この外部端子T3には10nFのような比較的大きな容量値を有する電源フィルタ容量CFが接続可能にされている。2は整流回路1によって整流された電圧の変動を吸収して6~20Vの所定の電位の電源電圧Vccを生成する定電圧電源回路としての電圧リミッタ回路、3は生成された電源電圧Vccを安定化させるシリーズレギュレータからなる電源安定化回路で、この電源安定化回路3から出力された電源電圧VDDは当該チップ内部の各回路に供給されるとともに、外部端子T4に接続されたマイクロコンピュータチップ20へも供給される。

40 【0023】4は上記電源安定化回路3から出力される電源電圧VDDを監視して電源投入時にパワーオンリセット信号を発生するパワーオンリセット発生回路、5は外部のマイクロコンピュータチップ20に対するリセットパルスPrを発生するリセットパルス発生回路である。このリセットパルス発生回路5は、上記パワーオンリセット発生回路4の出力がハイレベルに立ち上がってから

後述のPLL回路からなるクロック発生回路より出力されるクロック信号を所定数計数したときに、リセットパルスPrを形成して外部端子T5よりマイクロコンピュータチップ20へ出力する。

【0024】6は上記コイル接続用外部端子T1, T2に接続され入力交流信号を波形整形して出力するデータ受信回路、7は波形整形された信号から「0」、「1」のデータを再生するデータ復調回路で、復調されたデータは外部端子T6よりマイクロコンピュータチップ20へ出力される。この実施例のトランシーバ用ICは、特に制限されないが、PSK(Phase Shift Keying)変調された信号の位相変化を検出してデータを復調するように構成されている。上記データ復調回路7は、例えば後述のクロック発生回路から供給されるクロック信号に同期して、上記データ受信回路6から出力された信号をラッチするフリップフロップ等により構成することができる。

【0025】8は上記データ受信回路6で波形整形された信号に基づいて入力交流信号に含まれている4.91MHzの周波数の基準クロック信号に同期したクロック信号CLKを発生するクロック発生回路で、発生されたクロックCLKはチップ内のリセットパルス発生回路5や外部端子T7を介してチップ外部のマイクロコンピュータ20等へ供給される。9は外部端子T8を介してマイクロコンピュータチップ20より入力されるシリアル送信データに基づいて、外部端子T9, T10にドライン端子が接続されているドライブMOSFETQd1, Qd2をオン、オフ駆動して、コンデンサCt1, Ct2とコイルLとからなる共振回路を共振状態および非共振状態に切り換えることでデータを送信するバッファ回路等からなるデータ送信回路である。

【0026】この実施例のPLL回路からなる上記クロック発生回路8は、外部から入力された交流信号から抽出された基準クロック信号CKinと帰還クロック信号CKfの位相差を検出する位相比較器80と、抵抗R1, R2と容量C1とからなり位相差に応じた制御電圧Vcoを発生するループフィルタ83と、このループフィルタ83からの制御電圧Vcoに応じた周波数で発振する電圧制御発振器84と、上記ループフィルタ83の出力電圧Vcoを監視してPLLの誤ロックを防止する信号および発振器の発振許容信号を形成して上記チャージポンプ82及び電圧制御発振器84に供給する誤ロック防止回路85と、上記電圧制御発振器84の発振信号を分周する分周器86とにより構成されている。

【0027】上記分周器86より出力されたクロック信号CLKは帰還クロックCKfとして上記位相比較器81に帰還されるとともに、システムクロックとして上記データ復調回路7およびリセットパルス発生回路5並びに外部のマイクロコンピュータチップ20に対して供給される。

【0028】図2には、上記定電圧電源回路としての電圧リミッタ回路2の実施例が示されている。

【0029】この実施例の電圧リミッタ回路2は、シリコンのバンドギャップに相当する電圧(1.0~1.2V)の電圧を発生するバンドギャップ基準電圧発生回路21と、帰還ループを有しないシャント型定電圧回路22とからなる。定電圧回路22は、前記整流回路1からの電圧Viが入力される端子にコレクタが、またエミッタに定電源Ioが接続され、ベースにバンドギャップ基準電圧発生回路21からの基準電圧Vrefが印加されたnpn型バイポーラ・トランジスタQ1と、該トランジスタQ1とエミッタ共通接続されかつベースとコレクタとが結合されたnpnトランジスタQ2と、該トランジスタQ2のコレクタと電源ラインとの間に直列に接続された抵抗R1, R2からなる分圧回路と、前記抵抗R1, R2の接続ノードn1にベースが接続されたpnpトランジスタQ3およびQ3にダーリントン接続されたnpnトランジスタQ4からなるインバーテッド・ダーリントン回路と、上記トランジスタQ4のベース・コレクタ間に接続された容量C2とにより構成されている。この容量C2の値としては30pF程度に設定すればよい。なお、CFは外部端子T3に外付けされる電源フィルタ容量であり、その値は10nF程度である。

【0030】上記電圧リミッタ回路2はトランジスタQ1とQ2とがレベルシフト回路として動作し、レベルシフトされた電圧を抵抗R1, R2からなる分圧回路で分割してインバーテッド・ダーリントン回路に入力して出力電流を流すものであり、抵抗R1, R2の抵抗値をr1, r2、トランジスタQ3のベース・エミッタ間電圧をVbeQ3とすると、その出力電圧Voは、次式

$$V_o = V_{REF} + ((R_1 / R_2) + 1) \cdot V_{beQ3}$$

で表される。

【0031】この実施例の電圧リミッタ回路2は、入力電圧Viが高くなるとトランジスタQ3のベース・エミッタ間電圧が抵抗R1とR2で決まる比率で増加し、Q3のコレクタ電圧すなわちQ4のベース電位が上昇してQ4のコレクタ電流を増加させるよう作用する。一方、入力電圧Viが低くなるとトランジスタQ3のベース・エミッタ間電圧が抵抗R1とR2で決まる比率で低下し、Q3のコレクタ電圧すなわちQ4のベース電位が降下してQ4のコレクタ電流を減少させるよう作用する。これによって安定した出力電圧Voが得られる。しかも、抵抗分圧回路で出力回路に電圧を与えており、抵抗比を変えるだけで簡単に所望のレベルの電源電圧を出力することができる。

【0032】また、上記インバーテッド・ダーリントン回路の出力側トランジスタQ4のベース・コレクタ間に容量C2が接続されているので、出力電流が急激に変化して電源電圧が変動しても上記トランジスタQ4のベースに同相帰還して電源電圧の変動を打ち消すように出力

電流を補償するため、安定した出力電圧を得ることができる。

【0033】さらに、電磁結合の非接触型ICカードに用いられるトランシーバICにおいては、図1の実施例で説明したようにコイルLは受信用のみならずデータ送信用にも使用されるものであり、送信時に送信データに応じて駆動用トランジスタQd1, Qd2がコンデンサCt1, Ct2を介してコイルを共振させていわゆるQを変化させるが、このとき整流回路に入力される交流波形は送信データに応じて振幅が変化するすなわちAM変調がかかったような交流電圧が入力されてしまう。定電圧電源回路として図7(B)のようなオペアンプを用いた帰還型の回路を使用する場合には、電源フィルタ容量CFが小さいときにはオペアンプの応答性を高くしないと安定した電源電圧を発生できないが、応答性を高くすると上記のようなAM変調のかかった交流電圧が入力された場合にその振幅変動がそのまま電源電圧の変動として表れてしまう。

【0034】これに対し、前記実施例の定電圧電源回路にあっては、基準電圧をレベルシフト回路によってレベルシフトし、その電圧を抵抗分圧回路で分割して出力回路に入力して出力電流を流すようにしているので、入力される交流電圧にAM変調がかかっていても出力される電源電圧にはその変動が表れないという利点がある。その結果、実施例の定電圧電源回路を電圧リミッタ回路として使用したトランシーバ用ICにおいては、電圧リミッタ回路の次段に設けられている電源安定化回路を省略して電圧リミッタ回路で発生された電源電圧を直接内部回路や外部のマイクロコンピュータチップ等に供給することも可能である。

【0035】図3には、電圧リミッタ回路2の第2の実施例が示されている。

【0036】図3において、図2の回路と同一の回路部分には同一の符号が付されている。この実施例の回路は基本的な構成は図2の回路と同じであり、同様の作用効果を有する。第1の実施例回路に加えてこの実施例では、図2の抵抗分圧回路を4個の抵抗R1～R4で構成して各抵抗間のノードn1～n3の電位のいずれか一つを配線変更等により選択してインバーテッド・ダーリントン回路に入力できるようにすることで出力電圧V0のレベルを選択できるようにしている。また、出力トランジスタQ4にさらにダーリントン接続されたトランジスタQ5を設け、電流増幅率を高くしている。

【0037】さらに、この実施例では、出力段のトランジスタQ3のベースとコレクタ間に容量C3を接続している。これによって、インバーテッド・ダーリントン回路の発振を防止している。容量C3の値としては20pF程度あれば充分である。また、上記トランジスタQ3のコレクタと接地点との間、Q3のコレクタとQ4のベースとの間およびQ5のベースとコレクタとの間にそれ

ぞれ抵抗R5, R6, R7が接続されている。これらの抵抗は、インバーテッド・ダーリントン回路が素子のリーク電流により誤動作するのを防止したり、トランジスタQ3～Q5にバイアス電流を流すことによって電源電圧低下時の応答速度を高めるためのものである。

【0038】なお、この実施例には定電流源I0がより具体的な回路として示されている。すなわちレベルシフト回路を構成するトランジスタQ1, Q2の共通エミッタと接地点との間にカレントミラー回路を構成するトランジスタQ6が接続され、該トランジスタQ6とカレントミラー接続されたトランジスタQ7のコレクタに抵抗R8を介して接続されたトランジスタQ8のベースにバンドギャップ基準電圧発生回路21からの基準電圧Vrefが印加されてカレントミラー回路のトランジスタQ7に所定の電流を流すように構成されている。

【0039】図4～図6には、図2の電圧リミッタ回路2の変形例が示されている。

【0040】このうち図4の回路は、図2の実施例における抵抗R1の代わりにダイオードD1を用いるようにしたものである。また、図5の回路は出力段をインバーテッド・ダーリントン回路の代わりにpnptトランジスタQ3のみで構成したもの、さらに図6の回路はバイポーラ・トランジスタの代わりにMOSFETを用いたものである。これらの回路は図2の電圧リミッタ回路とほぼ同様の作用効果を有する。

【0041】以上説明したように上記実施例の定電圧電源回路は、バンドギャップ基準電圧発生回路からの基準電圧をレベルシフト回路によってレベルシフトし、その電圧を抵抗分圧回路で分割してインバーテッド・ダーリントン回路等からなる出力回路に入力して出力電流を流すようにしたので、入力電圧が高くなると出力回路に流れる電流が増加し、入力電圧が低くなると出力回路に流れる電流が減少して出力電圧の変動を吸収するため、安定した電源電圧が得られるとともに、上記定電圧電源回路は帰還ループに利得の大きなオペアンプが存在しないため、小さな電源フィルタ容量であっても出力電流の変動によって発振することができなく安定した電源電圧を得ることができる。また、抵抗分圧回路で出力回路に電圧を与えてるので、抵抗比を変えるだけで簡単に所望のレベルの電源電圧を得ることができるという効果がある。

【0042】また、上記出力回路をインバーテッド・ダーリントン回路で構成しその出力側トランジスタのベース・コレクタ間に容量を接続するようにしたので、出力電流が急激に変化して電源電圧が変動しても上記トランジスタのベースに同相帰還して電源電圧の変動を打ち消すように出力電流を補償するため、安定した出力電圧を得ることができる。特に、電磁結合の非接触型ICカードに用いられるトランシーバICにおける定電圧電源回路に適用した場合には、ICカードに搭載されるマイクロコンピュータチップに内蔵されているEEPROMに

書き込みを行なう際に書き込みパルス電流が流れてしまうが、上記実施例の定電圧電源回路は電源フィルタ容量の値が小さくても出力電圧の変化に対して速やかに追従し、電源電圧の変動を押さえることができるという効果がある。

【0043】さらに、前記実施例の定電圧電源回路にあっては、基準電圧をレベルシフト回路によってレベルシフトし、その電圧を抵抗分圧回路で分割して出力回路に入力して出力電流を流すようにしているので、入力される交流電圧にAM変調がかかっていても出力される電源電圧にはその変動が表れないため、実施例の定電圧電源回路を電圧リミッタ回路として使用したトランシーバ用ICにおいては、電圧リミッタ回路の次段に設けられている電源安定化回路を省略して電圧リミッタ回路で発生された電源電圧を直接内部回路や外部のマイクロコンピュータチップ等に供給することができるようになるという効果がある。

【0044】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明はそれに限定されるものでなく、例えばレベルシフト回路を構成するトランジスタQ2の代わりにダイオードを用いるようにしても良い。

【0045】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である電磁結合の非接触型ICカードに用いられるトランシーバICにおける定電圧電源回路に適用した場合について説明したが、本発明はそれに限定されるものでなく、交流信号もしくは交流電圧を整流して直流電源電圧を発生する定電圧電源回路を必要とする半導体集積回路一般に利用することができる。

【0046】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0047】すなわち、電源フィルタ容量を大きくとれない場合において、整流回路によって生成した電圧から安定した出力電圧を得ることができるとともに、出力電流の急激な変動に対しても安定した出力電圧を得ることができる定電圧電源回路を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る定電圧電源回路を備えた非接触型ICカードに用いられるトランシーバ用ICの構成を示すブロック図である。

10 【図2】定電圧電源回路の実施例を示す回路構成図である。

【図3】定電圧電源回路における出力波形を示す波形図である。

【図4】定電圧電源回路の第2の実施例を示す回路図である。

【図5】定電圧電源回路の第3の実施例を示す回路図である。

【図6】定電圧電源回路の第4の実施例を示す回路図である。

20 【図7】本発明に先立って検討した定電圧電源回路の構成例を示す回路図である。

【符号の説明】

L コイル

1 整流回路

2 電圧リミッタ回路（定電圧電源回路）

3 電源安定化回路

4 パワーオンリセット発生回路

5 リセットパルス発生回路

6 データ受信回路

30 7 データ復調回路

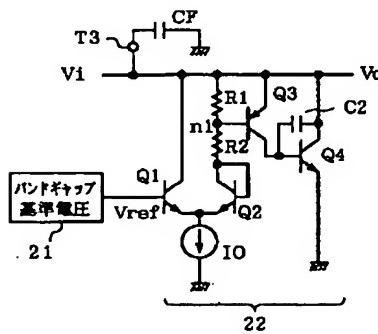
8 クロック発生回路

9 データ送信回路

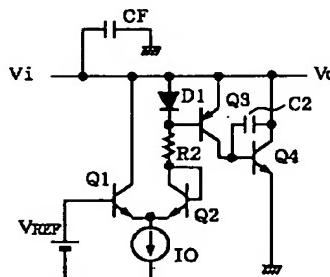
10 トランシーバ用半導体集積回路

20 マイクロコンピュータ

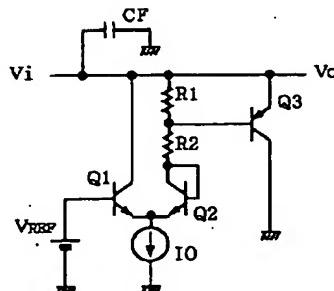
【図2】



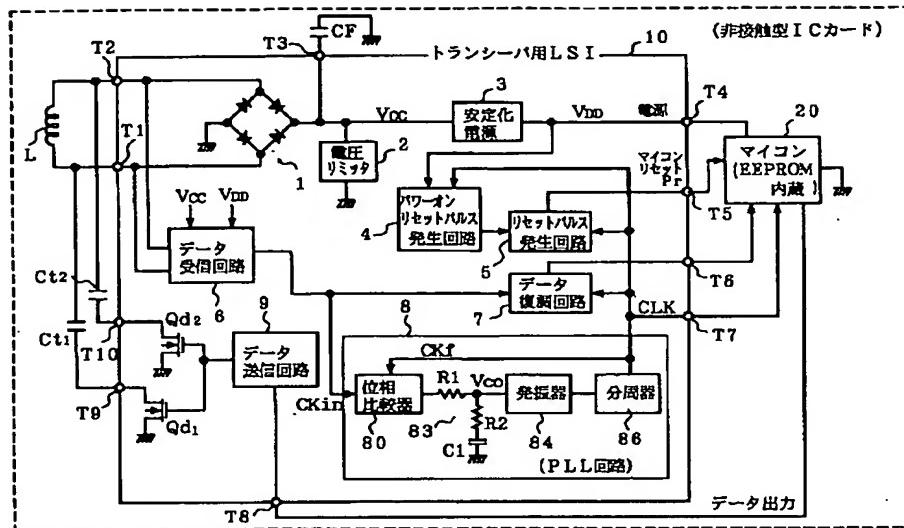
【図4】



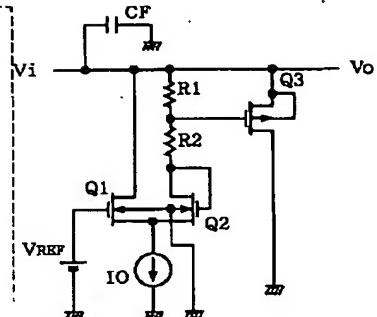
【図5】



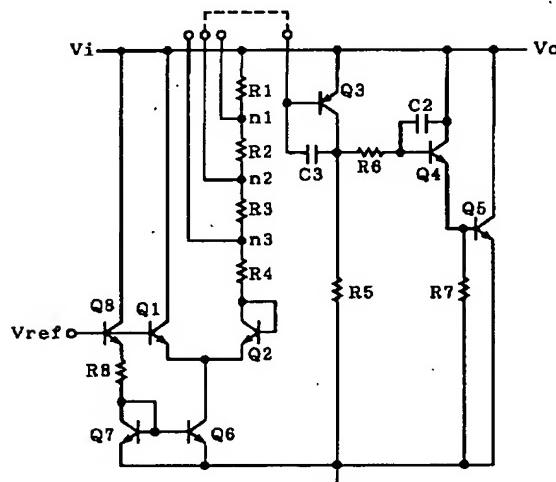
【図 1】



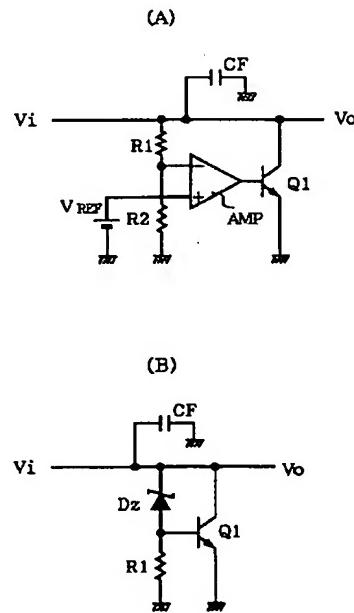
【図 6】



【図 3】



【図 7】



フロントページの続き

(51) Int. Cl. 6
H 02 J 17/00

識別記号

F 1

(72) 発明者 大河原 浩
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内

(72) 発明者 安藤 公明
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内